

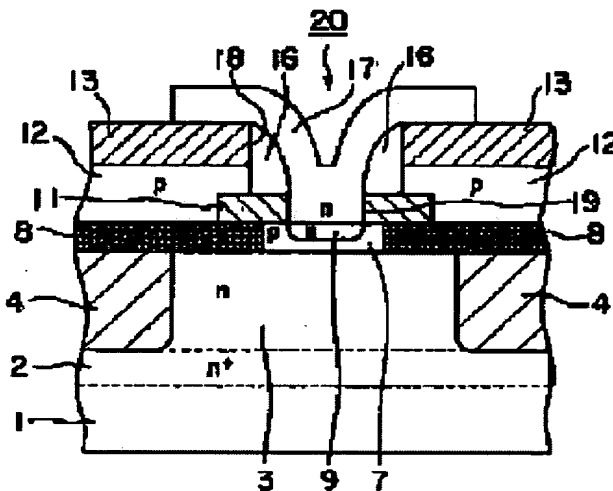
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP11233523
Publication date: 1999-08-27
Inventor: INOU KAZUMI
Applicant: TOSHIBA CORP
Classification:
- international: H01L21/331; H01L29/73
- european:
Application number: JP19980032729 19980216
Priority number(s):

Abstract of JP11233523

PROBLEM TO BE SOLVED: To provide a semiconductor device with a bipolar transistor having good characteristics in radio frequency and noise, and a manufacturing method thereof.

SOLUTION: In a semiconductor device with a bipolar transistor having a n-type collector region 3 formed on a substrate 1 and separated by an insulating film 4, a p-type base region including an active base region 7 formed on the insulating film 4 and the collector region 3, an etching stopper film 11 on the base region over the collector region 3, a p-type base lead region 12, a side-wall spacer 16 formed on the peripheral portion of a first aperture 18, and an n-type emitter 9 and an n-type emitter lead region 17 which are formed in a second aperture 19, p-type impurities are ion-implanted into a region from the peripheral portion of the base region to the peripheral portion of the etching stopper film 11 to form a base region 8 having high concentration.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-233523

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.⁶

H 0 1 L 21/331
29/73

識別記号

F I

H 0 1 L 29/72

審査請求 未請求 請求項の数8 O L (全 8 頁)

(21)出願番号 特願平10-32729

(22)出願日 平成10年(1998)2月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 井 納 和 美

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

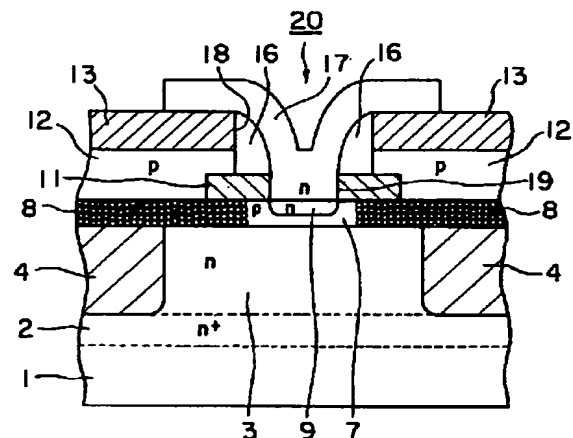
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 高周波数特性およびノイズ特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法を提供する。

【解決手段】 基板1上に形成され、絶縁膜4により素子分離されたn型のコレクタ領域3と、絶縁膜4およびコレクタ領域3上に形成された活性ベース領域7を含むp型のベース領域と、ベース領域上であって、コレクタ領域3の上方に形成されたエッチングストップ膜11と、p型のベース引出領域12と、第1の開口18内の周辺部に設けられた側壁スペーサ16と、第2の開口19内に形成されたn型のエミッタ9およびn型のエミッタ引出領域17とを有するバイポーラトランジスタを備えた半導体装置において、ベース領域の周辺部からエッチングストップ膜11の周辺部下の領域に至るまでp型不純物をイオン注入し、高濃度ベース領域8を形成する。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板上に形成され、第1の絶縁膜で素子分離された第1導電型の第1の半導体領域と、

前記第1の半導体領域上に形成された第2導電型の第2の半導体領域と、

前記第2の半導体領域上であって、前記第1の半導体領域の上方に形成されたエッチングストップ膜と、

前記第2の半導体領域および前記エッチングストップ膜上に形成された前記第2の半導体領域の引出領域と、

前記引出領域上に形成された第2の絶縁膜と、

前記エッチングストップ膜の上面に達するように前記第2の絶縁膜および前記引出領域に貫通形成された第1の開口内の側面に設けられたスペーサ絶縁膜と、

前記第1の開口の側面に設けられた前記スペーサ絶縁膜の内側で前記エッチングストップ膜を貫通して前記第2の半導体領域に達するように形成された第2の開口下で前記第2の半導体領域表面に形成された第1導電型の第3の半導体領域とを備え、

前記第2の半導体領域には、その周辺部から実質的に前記エッチングストップ膜下の領域に延在して、前記第3の半導体領域下の領域よりも高濃度の第2導電型の不純物が拡散していることを特徴とする半導体装置。

【請求項2】前記第1、第2および第3の半導体領域がそれぞれ、バイポーラトランジスタのコレクタ領域、ベース領域およびエミッタ領域であることを特徴とする請求項1に記載の半導体装置。

【請求項3】第1導電型の埋込層を有する半導体基板上に第1導電型の不純物がドーパされたシリコン層を形成し、第1の半導体領域を形成する工程と、

前記第1の半導体領域の周辺に素子分離絶縁膜を形成する工程と、

前記第1の半導体領域上に第2導電型の不純物がドーパされたシリコン結晶を成長させ、第2の半導体領域を形成する工程と、

前記第2の半導体領域上に第1の絶縁膜を堆積させた後、前記第2の半導体領域の上であって前記第1の半導体領域の上方の領域に第1のレジストパターンを形成し、このレジストパターンをマスクとして前記第1の絶縁膜をパターニングしエッチングストップ膜を形成する工程と、

アッシングにより、前記第1のレジストパターンの径を減少させて第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記第2の半導体領域に第2導電型の不純物をイオン注入し、前記第2の半導体領域に高濃度不純物領域を形成する工程と、

前記エッチングストップ膜および前記第2の半導体領域上に前記第2の半導体領域の引出領域を形成する工程と、

前記引出領域上に第2の絶縁膜を形成した後、前記エッチングストップ膜の1部が露出するように第1の開口を形成する工程と、

前記第1の開口内の側面にスペーサ絶縁膜を形成する工程と、

前記スペーサ絶縁膜の内側で露出した前記エッチングストップ膜を貫通して前記第2の半導体領域に達する第2の開口を形成する工程と、

前記第2の開口を埋込むように第1導電型の不純物がドーパされたシリコンを堆積させた後、前記第1導電型の不純物を拡散させて前記第2の半導体領域内に第3の半導体領域を形成する工程とを具備する半導体装置の製造方法。

【請求項4】前記第2のレジストパターンを形成する工程は、その周縁が前記第1の開口の周縁と前記第2の開口の周縁との間になるようにアッシングを行うことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記引出領域を形成する工程は、高融点金属を堆積させることにより行うことを特徴とする請求項3または4に記載の半導体装置の製造方法。

【請求項6】前記第3の半導体領域を形成する工程は、前記第2の開口を埋込むように多結晶シリコンを堆積させ、第1導電型の不純物をイオン注入した後、熱処理により拡散させることにより行うことを特徴とする請求項3ないし5のいずれかに記載の半導体装置の製造方法。

【請求項7】前記第3の半導体領域を形成する工程は、前記第2の開口を埋込むように、予め第1導電型の不純物がドーパされた多結晶シリコンを堆積させることにより行うことを特徴とする請求項3ないし5のいずれかに記載の半導体装置の製造方法。

【請求項8】前記第3の半導体領域を形成する工程は、前記第2の開口を埋込むように、予め第1導電型の不純物がドーパされたシリコン結晶をエピタキシャル成長させることにより行うことを特徴とする請求項3ないし5のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、低ノイズでかつ周波数特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、高速LSI (Large Scale Integrated Circuit) を実現するため、高速バイポーラLSIの技術開発が進められ、選択エピタキシャル技術を用いた高性能のトランジスタを形成する技術が提案されている。以下、従来の技術におけるバイポーラトランジスタの1例を図面を参照しながら説明する。

【0003】図10は、従来の技術によるNPNバイポーラLSIの1例である半導体装置40を示す断面図で

ある。この半導体装置40の製造方法を図10を参照しながら説明する。

【0004】まず、高濃度のn⁺型埋込層2を含む半導体基板1上に、n型の不純物をドーピングしながらシリコン結晶をエピタキシャル成長させ、n型コレクタ領域3を形成し、酸化膜を形成して素子分離絶縁膜4とする。

【0005】次に、選択的エピタキシャル技術を用いてp型不純物をドーピングしながらコレクタ領域3の上にのみシリコン単結晶を成長させ、ベース領域36を形成する。その後、窒化膜と酸化膜の複合膜を全面に堆積し、レジストを用いたパターニングにより、ベース領域36上にエッチングストッパ膜31を形成する。次に、多結晶シリコンを全面に成長させた後、p型の不純物をイオン注入し、p型ベース引出領域32を形成する。さらに、CVD (Chemical Vapor Deposition) 法により酸化膜14と窒化膜15を順次堆積させる。

【0006】次に、これら窒化膜15、酸化膜14およびベース引出領域32中のベース領域36上に位置する領域の一部に第1の開口18を設けてエッチングストッパ膜31を露出させた後、CVD法により酸化膜を堆積させ、異方性エッチングによりエッチバックを行って、サイドウォール・スペーサ16を形成する。

【0007】次に、エッチングストッパ膜31をウエット系のエッチングでベース領域36にダメージを与えることなくエッチング除去し、第1の開口18内に、ベース領域36まで到達する第2の開口19を形成する。次に、この第2の開口19を埋込むように、多結晶シリコンを堆積させた後、n型の不純物をイオン注入し、この不純物を熱処理により拡散させ、エミッタ領域9およびエミッタ引出領域17を形成する。

【0008】その後は、エミッタ引出領域17の多結晶シリコンを所定の形状にパターニングした後、周知の方法で、金属電極を形成してNPNバイポーラトランジスタを完成させる。

【0009】このような方法で製造されたバイポーラトランジスタは、非常に薄いベース層を形成できるので、イオン注入法または拡散技術により形成されるベース層を有するバイポーラトランジスタと比較して、高い遮断周波数を得ることができた。

【0010】

【発明が解決しようとする課題】しかしながら、以上の方法により製造されたバイポーラトランジスタには、次のような問題があった。

【0011】即ち、バイポーラ動作をするエミッタ領域9の直下に至るまで、多結晶シリコンからなるp型ベース引出領域32および単結晶シリコンからなるベース領域36を通して電流が流れるので、エッチングストッパ膜31下の領域におけるベース抵抗が非常に大きくなる。このため、高周波数特性が劣化して回路全体におけるパフォーマンスが低下するとともに、熱雑音発生の原

因となっていた。

【0012】本発明は、上記事情に鑑みてなされたものであり、その目的は、高周波数特性およびノイズ特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は以下の手段により上記課題の解決を図る。

【0014】即ち、本発明（請求項1）によれば、第1導電型の半導体基板上に形成され、第1の絶縁膜で素子分離された第1導電型の第1の半導体領域と、上記第1の半導体領域上に形成された第2導電型の第2の半導体領域と、上記第2の半導体領域上であって、上記第1の半導体領域の上方に形成されたエッチングストッパ膜と、上記第2の半導体領域および上記エッチングストッパ膜上に形成された上記第2の半導体領域の引出領域と、上記引出領域上に形成された第2の絶縁膜と、上記エッチングストッパ膜の上面に達するように上記第2の絶縁膜および上記引出領域に貫通形成された第1の開口内の側面に設けられたスペーサ絶縁膜と、上記第1の開口の側面に設けられた上記スペーサ絶縁膜の内側で上記エッチングストッパ膜を貫通して上記第2の半導体領域に達するように形成された第2の開口下で上記第2の半導体領域表面に形成された第1導電型の第3の半導体領域とを備え、上記第2の半導体領域には、その周辺部から実質的に上記エッチングストッパ膜下の領域に延在して、上記第3の半導体領域下の領域よりも高濃度の第2導電型の不純物が拡散していることを特徴とする半導体装置が提供される。

【0015】上記第1、第2および第3の半導体領域がそれぞれ、バイポーラトランジスタのコレクタ領域、ベース領域およびエミッタ領域であると良い。

【0016】また、本発明（請求項3）によれば、第1導電型の埋込層を有する半導体基板上に第1導電型の不純物がドーピングされたシリコン層を形成し、第1の半導体領域を形成する工程と、上記第1の半導体領域の周辺に素子分離絶縁膜を形成する工程と、上記第1の半導体領域上に第2導電型の不純物がドーピングされたシリコン結晶を成長させ、第2の半導体領域を形成する工程と、上記第2の半導体領域上に第1の絶縁膜を堆積させた後、上記第2の半導体領域上であって上記第1の半導体領域の上方の領域に第1のレジストパターンを形成し、このレジストパターンをマスクとして上記第1の絶縁膜をパターニングしエッチングストッパ膜を形成する工程と、アッシングにより、上記第1のレジストパターンの径を減少させて第2のレジストパターンを形成する工程と、上記第2のレジストパターンをマスクとして上記第2の半導体領域に第2導電型の不純物をイオン注入し、上記第2の半導体領域に高濃度不純物領域を形成する工程と、上記エッチングストッパ膜および上記第2の半導体

領域上に上記第2の半導体領域の引出領域を形成する工程と、上記引出領域上に第2の絶縁膜を形成した後、上記エッチングストップ膜の1部が露出するように第1の開口を形成する工程と、上記第1の開口内の側面にスペーサ絶縁膜を形成する工程と、上記スペーサ絶縁膜の内側で露出した上記エッチングストップ膜を貫通して上記第2の半導体領域に達する第2の開口を形成する工程と、上記第2の開口を埋込むように第1導電型の不純物がドーパされたシリコンを堆積させた後、上記第1導電型の不純物を拡散させて上記第2の半導体領域内に第3の半導体領域を形成する工程とを具備する半導体装置の製造方法が提供される。

【0017】上記第2のレジストパターンを形成する工程は、その周縁が上記第1の開口の周縁と上記第2の開口の周縁との間になるようにアッシングを行うことが望ましい。

【0018】また、上記引出領域を形成する工程は、高融点金属を堆積させることにより行っても良い。

【0019】また、上記第3の半導体領域を形成する工程は、上記第2の開口を埋込むように多結晶シリコンを堆積させ、第1導電型の不純物をイオン注入した後、熱処理により拡散させることにより行くと良い。

【0020】また、上記第3の半導体領域を形成する工程は、上記第2の開口を埋込むように、予め第1導電型の不純物がドーパされた多結晶シリコンを堆積させることにより行っても良い。

【0021】さらに、上記第3の半導体領域を形成する工程は、上記第2の開口を埋込むように、予め第1導電型の不純物がドーパされたシリコン結晶をエピタキシャル成長させることにより行っても良い。

【0022】

【発明の実施の形態】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。なお、以下の各図において、図10と同一の部分には同一の参照番号を付してその説明は省略する。

【0023】図1は、本発明にかかる半導体装置の実施の一形態を示す部分断面図である。本発明にかかる半導体装置の特徴は、コレクタ領域3および素子分離絶縁膜4上に形成されたベース領域のうち、周辺部からエッチングストップ膜11下の領域に至るまで延在して、活性ベース領域7と同導電型の不純物が高濃度に拡散された高濃度ベース領域8を備えた点にある。

【0024】図1に示す半導体装置20は、NPN型のバイポーラトランジスタを備えており、その構造は次のとおりである。

【0025】即ち、p型のシリコン半導体基板1上に形成された高濃度のn⁺埋込層2の上に、周囲が絶縁膜4により素子分離されn型の不純物がドーパされたコレクタ領域3が形成されている。

【0026】コレクタ領域3の上には、ジボラン(B₂

H₆)を用いてp型の不純物であるボロンがドーパされた単結晶シリコン層でなる活性ベース領域7が形成されている。なお、ジボランにゲルマン(G₄H₄)を加えてSiGe層を形成するようにしても良い。

【0027】さらに、コレクタ領域3および絶縁膜4の上であって、上記活性ベース領域7の周囲のベース領域には、本発明において特徴的な高濃度ベース領域8が形成されている。

【0028】この高濃度ベース領域8は、活性ベース領域7と同時に形成されたシリコン結晶膜に活性ベース領域7を含むp型不純物と同一の不純物をイオン注入して形成されたものである。

【0029】また、活性ベース領域7およびこの周辺近傍の領域の上には、エッチング制御のためのエッチングストップ膜11が形成されており、エッチングストップ膜11および高濃度ベース領域8の上には、ボロンイオンが注入された多結晶シリコン層でなるベース引出領域12が形成され、その上面には、絶縁膜13が形成されている。なお、このベース引出領域12は、p型の不純物がイオン注入された多結晶シリコンの他、ボロンがドーパされた多結晶シリコンで形成されたものでも良く、さらに、タングステン(W)等の高融点金属を堆積して形成されたものでも良い。

【0030】絶縁膜13およびベース引出領域12中には、エッチングストップ膜11上の周辺部を除く中央の領域が露出するように、径W₁の第1の開口18が設けられ、この第1の開口18内の周辺部には、サイドウォール・スペーサ16が形成されている。

【0031】また、この第1の開口18内には、サイドウォール・スペーサ16の厚みにより径W₂(W₂<W₁)が定義される第2の開口19がエッチングストップ膜11を貫通して設けられ、その底面は、活性ベース領域7の表面に至っている。

【0032】さらに、この第2の開口19を埋込むように、砒素がイオン注入され熱処理により拡散した多結晶シリコン層が堆積され、その底部の活性ベース領域7内にn型のエミッタ領域9を形成し、その上部は、エミッタ引出領域17を形成する。このように、この半導体装置20は、ベース領域の周辺部から実質的にエッチングストップ膜11下の領域、例えばサイドウォール・スペーサ16下の領域に至るまでp型の不純物が高濃度にイオン注入された高濃度ベース領域8を備え、ベース抵抗が非常に低いバイポーラトランジスタからなるものである。これにより、高周波数特性に優れ、熱雑音の低いNPNバイポーラトランジスタを備えた半導体装置が提供される。

【0033】次に、本発明にかかる半導体装置の製造方法の実施の一形態について説明する。

【0034】本発明にかかる半導体装置の製造方法の特徴は、高濃度のp型不純物を含み、ベース領域の周辺部

からエッチングストップ膜11下で活性ベース領域7の近傍にまで延在する高濃度ベース領域8を形成する点にある。以下、図2ないし図9を参照しながら説明する。

【0035】図2ないし図9は、本実施形態の半導体装置の製造方法を説明するための略示部分断面図である。

【0036】まず、図2に示すように、p型のシリコン半導体基板1上に既知の拡散技術を用いて高濃度のn⁺型埋込層2を形成し、さらに、n型の不純物をドーブしながらシリコン結晶をエピタキシャル成長させて、n型のコレクタ領域3を形成する。その後、このコレクタ領域3の周辺に絶縁膜4を形成してバイポーラトランジスタの活性領域23を素子分離する。

【0037】次に、図3に示すように、半導体基板1上の全面にシリコン結晶をエピタキシャル成長させ、活性領域23の上には単結晶シリコン35を形成し、絶縁膜4の上には多結晶シリコン6を形成する。

【0038】このとき、p型の不純物拡散源、例えばジボラン(B₂H₆)を所定の圧力、温度およびガス流量で添加してエピタキシャル層を成長させながらp型にドーブし、ベース領域を形成する。また、ジボランに加えてゲルマン(G₄H₄)を所定の圧力、温度およびガス流量で添加すればSiGe層を形成することもできる。

【0039】次に、図4に示すように、全面に絶縁膜を堆積させた後、フォトリソをパターンニングしてレジストパターン21を形成し、エッチングにより、他の領域の絶縁膜を除去して単結晶シリコン35の上にエッチングストップ膜11を形成する。

【0040】次に、図5に示すように、上記レジストパターン21を酸素プラズマ中で灰化処理(Ashing)することにより周辺部分を除去・後退させて、径の減少したレジストパターン21'とする。灰化処理により除去・後退させる量は、レジストパターン21'がエミッタの形成予定領域よりやや大きく残る程度に制御する。さらに、このレジストパターン21'をマスクとして、ホウ素などのp型不純物を約 $1.0 \times 10^{16} \text{cm}^{-2}$ のドーズ量、15KeV以下の加速電圧でベース領域の周辺部にイオン注入し熱処理を行うことにより、ベース領域の周縁部からエッチングストップ膜11の周辺部下の領域にまで延在する高濃度ベース領域8を形成する。一方、これにより、レジストパターン21'直下のベース領域は、バイポーラ動作をする活性ベース領域7となる。なお、ここでは、エッチングストップ膜11におけるレジストパターン21'下以外の周辺部にもp型不純物がイオン注入される。

【0041】次いで、レジストパターン21'を除去した後、図6に示すように、多結晶シリコンを約200nmの膜厚になるまでCVD法により堆積し、p型の不純物、例えばボロンを、約 $1.0 \times 10^{16} \text{cm}^{-2}$ のドーズ量、30KeVの加速電圧でイオン注入し、熱処理を行ってベース引出領域12を形成する。なお、このように

ボロンイオンを注入する代りに、ボロンがドーブされた多結晶シリコンを堆積しても良い。また、多結晶シリコンを成長させる代りに、タングステン等の高融点金属を堆積しても良い。

【0042】その後、それぞれ約100nmの膜厚で酸化膜14および窒化膜15を順次CVD法により堆積する。その後、レジストのパターニングにより、これらの窒化膜15、酸化膜14および多結晶シリコンの一部をエッチング除去し、エッチングストップ膜11の上面に至る第1の開口18を形成する。

【0043】次に、図7に示すように、第1の開口18を埋込むように絶縁膜を堆積させ、RIE(Reactive Ion Etching)により、サイドウォール・スパーサ16を形成する。

【0044】次に、図8に示すように、活性ベース領域7にダメージを与えないようにウェット系の選択的イオンエッチングにより、第1の開口18内のサイドウォール・スパーサ16の内側に、エッチングストップ膜11を貫通して活性ベース領域7の表面に至る第2の開口19を形成する。

【0045】その後、図9に示すように、全面に多結晶シリコンを堆積し、砒素をドーズ量約 $2.0 \times 10^{16} \text{cm}^{-2}$ 、加速電圧60KeVの条件でイオン注入した後、熱処理工程により、活性ベース領域7内およびその上部に砒素を拡散させ、n型のエミッタ領域9およびエミッタ引出領域17を形成する。なお、ここで砒素をイオン注入する代りに、既に砒素がドーブされた多結晶シリコンを第2の開口19内に堆積させることも可能である。また、多結晶シリコンの代りに、砒素がドーブされたシリコン結晶をエピタキシャル成長させても良い。

【0046】その後は、既知の方法により、エミッタ引出領域17およびベース引出領域12に所定の金属電極を形成し、バイポーラトランジスタのエミッタ・ベース電極を形成する。なお、コレクタ引出領域は、図面に示していないが、例えば、図9の紙面に垂直な方向の適当な位置において形成され、これに結合して形成されるコレクタ電極(図示せず)は、このコレクタ引出領域と高濃度n⁺埋込層2を介してコレクタ領域3と接続されている。

【0047】このように、本実施形態にかかる半導体装置の製造方法によれば、高濃度のp型不純物が注入された高濃度ベース領域8をベース領域の周辺部からエッチングストップ膜11下の活性ベース領域7にまで延在して形成するので、ベース抵抗の低いバイポーラトランジスタを形成することができる。これにより、高周波特性に優れ、熱雑音の低いバイポーラトランジスタを備えた半導体装置を製造する方法が提供される。

【0048】以上、本発明の実施の形態について説明したが、本発明は、上記実施の形態に限るものではなく、その要旨を逸脱しない範囲で種々変形して適用すること

ができる。上記の実施形態では、NPN型のバイポーラトランジスタを備えた半導体装置およびその製造方法について説明したが、PNP型のバイポーラトランジスタにも適用できるのは勿論である。また、材料その他の条件は、仕様に応じて変更することができる。

【0049】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。

【0050】即ち、本発明によれば、第2導電型の第2の半導体領域において、その周辺部からエッチングストップパ膜の周辺部下の領域に延在して第2導電型の不純物が高濃度に拡散しているため、ベース抵抗が低いバイポーラトランジスタを備えた半導体装置が提供される。これにより、高周波数特性に優れ、熱雑音の低いバイポーラトランジスタを備えた半導体装置が提供される。

【0051】また、本発明によれば、上記効果を有する半導体装置を製造する方法が提供される。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の略示部分断面図である。

【図2】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図3】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図4】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図5】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図6】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図7】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図8】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

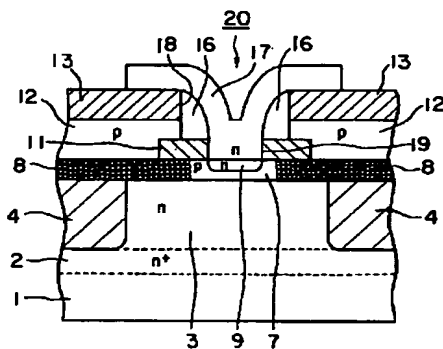
【図9】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図10】従来の技術による半導体装置の1例を示す略示部分断面図である。

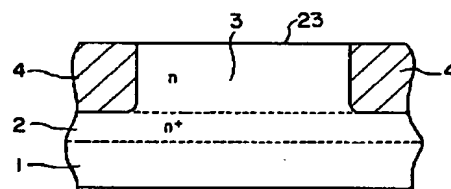
【符号の説明】

- 1 p型シリコン半導体基板
- 2 n⁺埋込層
- 3 n型コレクタ領域
- 4 素子分離絶縁膜
- 7 活性ベース領域
- 8 高濃度ベース領域
- 9 エミッタ領域
- 11, 31 エッチングストップパ膜
- 12, 32 ベース引出領域
- 17 エミッタ引出領域
- 18 第1の開口
- 19 第2の開口
- 20 本発明の実施の形態である半導体装置
- 21 エッチングストップパ膜形成用レジストパターン
- 21' 高濃度ベース領域形成用レジストパターン
- W₁ 第1の開口の径
- W₂ 第2の開口の径

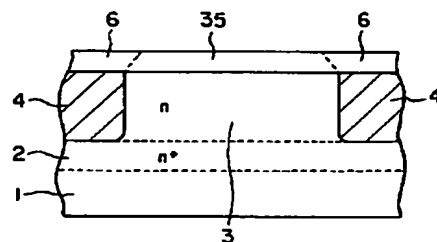
【図1】



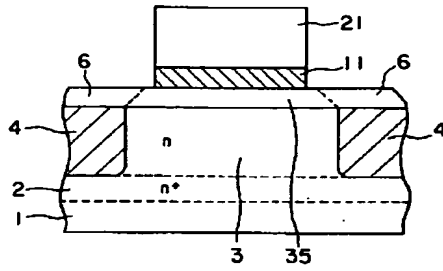
【図2】



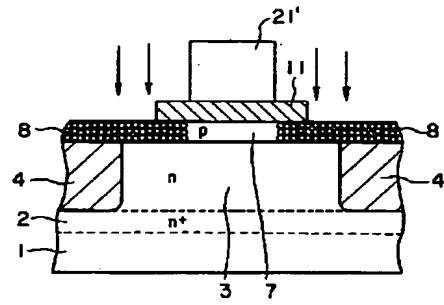
【図3】



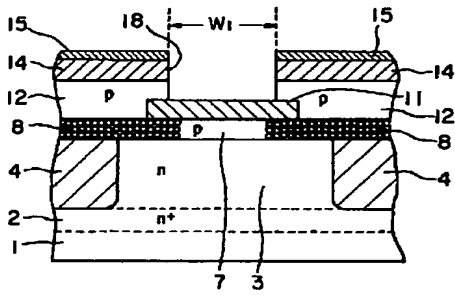
【図4】



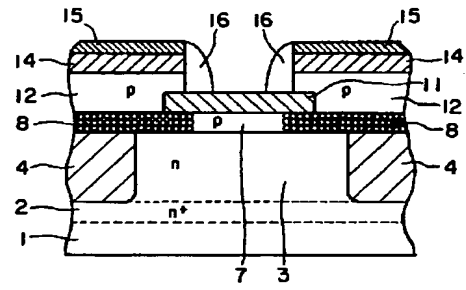
【図5】



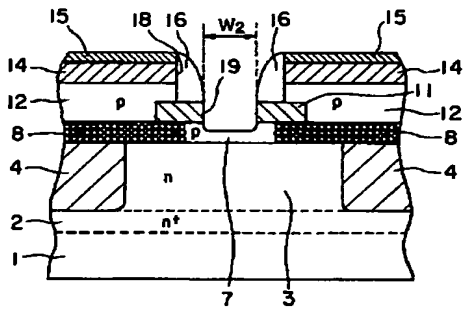
【図6】



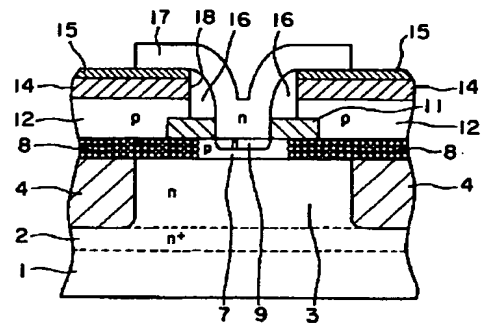
【図7】



【図8】



【図9】



【図10】

